



PATENT APPLICATION

#5
8/22/02
Mullish

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Mutsumi KIMURA

Application No.: 10/058,116

Filed: January 29, 2002

Docket No.: 111829

For: SEMICONDUCTOR DEVICE, CIRCUIT BOARD, ELECTRO-OPTICAL DEVICE,
AND ELECTRONIC APPARATUS

CLAIM FOR PRIORITY

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2001-020697, filed January 29, 2001.

In support of this claim, a certified copy of said original foreign application:


 X is filed herewith.

 was filed on in Parent Application No. filed .

 will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,


James A. Oliff
Registration No. 27,075

Eric D. Morehouse
Registration No. 38,565

JAO:EDM/gam

Date: April 26, 2002

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

<p>DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461</p>
--



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 1月29日

出 願 番 号

Application Number:

特願2001-020697

[ST.10/C]:

[JP2001-020697]

出 願 人

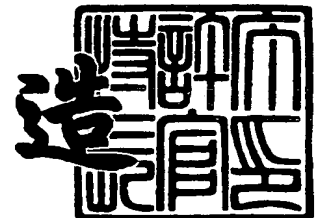
Applicant(s):

セイコーエプソン株式会社

2002年 2月19日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3008724

【書類名】 特許願

【整理番号】 J0082052

【提出日】 平成13年 1月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/29
H01L 23/31

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 木村 睦

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100093388

【弁理士】

【氏名又は名称】 鈴木 喜三郎

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体膜と、前記半導体膜上の少なくとも 1 部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を含む半導体装置であって、

前記ゲート電極と、前記半導体膜の端部と、は重ならないように形成されていること、

を特徴とする半導体装置。

【請求項 2】 ソース領域とドレイン領域とを有する半導体膜と、前記半導体膜上の少なくとも 1 部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を含む半導体装置であって、

前記半導体膜の幅よりも前記ゲート電極の幅が小であること、

を特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 に記載の半導体装置において、

前記ゲート電極に接続された副ゲート電極をさらに備えたこと、

を特徴とする半導体装置。

【請求項 4】 請求項 3 に記載の半導体装置において、

前記副ゲート電極は前記ゲート電極上に配置されていること、

を特徴とする半導体装置。

【請求項 5】 請求項 3 または 4 に記載の半導体装置において、

前記副ゲート電極は、前記半導体膜の端部と重なるように配置されていること

を特徴とする半導体装置。

【請求項 6】 半導体膜と、前記半導体膜上の少なくとも 1 部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を含む半導体装置であって、

前記半導体膜の端部に、ドーパントがドーピングされていない真性半導体により形成された、前記ゲート電極の外側に伸長した領域を備えていること、

を特徴とする半導体装置。

【請求項 7】半導体膜と、前記半導体膜上の少なくとも 1 部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を含む半導体装置であって、

前記半導体膜に、ドーパントがドーピングされていない真性半導体により形成された、前記ゲート電極の外側に伸長した領域を備えていること、

を特徴とする半導体装置。

【請求項 8】ソース領域とドレイン領域とを含む半導体膜と、前記半導体膜上の少なくとも 1 部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を含む半導体装置であって、

前記半導体膜に、ドーパントがドーピングされていない真性半導体により形成された、前記ゲート電極から前記ソース領域または前記ドレイン領域の方向に伸長した領域を備えていること、

を特徴とする半導体装置。

【請求項 9】請求項 1 乃至 8 のいずれかに記載の半導体装置において、

前記半導体膜は、絶縁膜上に形成されていること、

を特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、特に、装置性能の経時劣化の防止に適した半導体装置に関する。

【0002】

【従来の技術】

図 1 には、従来の半導体装置の例として薄膜トランジスタを示す。図 1 (a) は、従来の多結晶シリコン薄膜トランジスタの平面図、図 1 (b) は平面図の bb 線における断面図、及び図 1 (c) は平面図の cc 線における断面図である。図 1 のように、多結晶シリコン薄膜トランジスタとしては、トップゲート型の構造をとるものが一般的である（液晶ディスプレイ技術、松本正一編著、産業図書）。

【0003】

図2は、従来の多結晶シリコン薄膜トランジスタの製作工程を示す図である。まず、図2 (a)に示したように、ガラス基板51上に、 SiH_4 を用いたPECVDや、 Si_2H_6 を用いたLPCVDにより、非晶質シリコンを成膜する。エキシマレーザー等のレーザー照射や、固相成長により、アモルファスシリコンを再結晶化させ、多結晶シリコン膜52を形成する。次に、図2 (b)に示したように、多結晶シリコン52をパターニングして島状化した後、ゲート絶縁膜53を成膜し、ゲート電極54を、成膜およびパターニングにより形成する。次に、図2 (c)に示したように、リンやボロンなどの不純物をゲート電極54を用いて自己整合的に多結晶シリコン膜52に打ち込み、活性化し、CMOS構造のソース・ドレイン領域55を形成する。層間絶縁膜56を成膜し、コンタクトホールを開孔し、ソース・ドレイン電極57を成膜およびパターニングにより形成する。

【0004】

【発明が解決しようとする課題】

従来、MOS素子などの半導体装置を長時間駆動する際、時間の経過とともに装置性能が劣化してしまうという問題があった。このような経時劣化は、例えば、能動層として機能する半導体膜の端部あるいは半導体膜と絶縁膜との界面における電界集中が重要な原因の一つとして挙げられる。この原因に由来する経時劣化は、例えば、薄膜トランジスタのように絶縁膜上に設けられた膜厚の小さい半導体膜を能動層として用いる半導体装置において、特に顕著となる。

【0005】

薄膜トランジスタにおいて、半導体膜の端部では、電界が集中し、電界強度が高くなる。さらに、半導体膜の膜厚も小さいため、キャリア密度も高くなるという傾向が見られる (M. Kimura, R. Nozawa, S. Inoue and T. Shimoda, "Current Density Enhancement at Active Layer Edges in Polycrystalline Silicon Thin-Film Transistors", submitted to Jpn. J. Appl. Phys.)。

【0006】

図3には、多結晶シリコン薄膜トランジスタについて、デバイスシミュレーションによる電界強度分布及びキャリア密度分布の解析結果を示す。図3 (a)に

示した電界強度の分布においては、半導体膜のやや中央部における電界強度が、 $4.5 \times 10^5 \text{ V/cm}$ であったのに対して、半導体膜の最先端部では $6.6 \times 10^5 \text{ V/cm}$ という高い値を示した。また、これに対応して、図3 (b) に示したように、半導体膜のやや中央部におけるキャリア密度が $2.7 \times 10^{17} \text{ cm}^{-3}$ であったのに対して、半導体膜の最先端部では $1.6 \times 10^{20} \text{ cm}^{-3}$ であった。

【0007】

そこで、本発明の目的は、半導体膜の端部の電界強度またはキャリア密度を低減させ、経時劣化の防止に適した半導体装置を得ることである。

【0008】

【課題を解決するための手段】

本発明の第1の半導体装置は、半導体膜と、前記半導体膜上の少なくとも1部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を含む半導体装置であって、前記ゲート電極と前記半導体膜の端部とは、重ならないように形成されていること、を特徴とする。なお、本明細書における、半導体膜の端部とは、素子分離のために設けられたフィールド絶縁膜と半導体層が接する部分であっても良い。

【0009】

本発明の第2の半導体装置は、ソース領域とドレイン領域とを有する半導体膜と、前記半導体膜上の少なくとも1部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を含む半導体装置であって、前記半導体膜の幅よりも前記ゲート電極の幅が小であること、を特徴とする。ここで、半導体膜の幅及びゲート電極の幅とは、ソース領域とドレイン領域の間に流れる電流の方向に対して垂直な方向の長さとして定義している。したがって、係る半導体装置は、ゲート電極が半導体膜から外側に張り出したような外観を有している。

【0010】

本発明の第1及び第2の半導体装置において、半導体膜の端部の上方にはゲート電極が形成されていないため、経時劣化の原因の一つである、半導体膜の端部における電界集中を回避することができる。したがって、これらの半導体装置は、製造時の装置性能を長時間にわたって維持することができる。

【 0 0 1 1 】

本発明の第 3 の半導体装置は、請求項 1 または 2 に記載の半導体装置において、前記ゲート電極に接続された副ゲート電極をさらに備えたこと、を特徴とする。

【 0 0 1 2 】

本発明の第 4 の半導体装置は、請求項 3 に記載の半導体装置において、前記副ゲート電極は、前記ゲート電極上に配置されていること、を特徴とする。

【 0 0 1 3 】

本発明の第 3 及び第 4 の半導体装置は、ゲート電極に加え、副ゲート電極を備えているので、半導体膜を流れるキャリアを精密に制御することができる。

【 0 0 1 4 】

本発明の第 5 の半導体装置は、請求項 4 または 5 に記載の半導体装置において、前記副ゲート電極と前記半導体膜の端部とは、重なるように配置されていること、を特徴とする。係る半導体装置において、半導体端部のキャリアの制御は、副ゲート電極によってなされるので、係る半導体装置は、半導体膜の端部における電界強度あるいはキャリア密度の低減とオフ電流の低減とを同時に可能とすることに適した構成を有している。なお、前記副ゲート電極が前記半導体膜の端部と重なるように配置されているに止まらず、さらに、前記副ゲート電極が、前記半導体膜の外側に張り出していることがより好ましい。

【 0 0 1 5 】

本発明の第 6 の半導体装置は、半導体膜と、前記半導体膜上の少なくとも 1 部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を含む半導体装置であって、前記半導体膜の端部に、ドーパントがドーピングされていない真性半導体により形成された、前記ゲート電極の外側に伸長した領域を備えていること、を特徴とする。係る半導体装置の半導体膜の端部に設けられた真性半導体により形成された領域は、キャリアの移動に対してあまり寄与しない。したがって、真性半導体により形成された領域において、高強度の電界または高密度のキャリアが発生しても、装置性能の経時劣化を抑制することができる。

【 0 0 1 6 】

本発明の第 7 の半導体装置は、半導体膜と、前記半導体膜上の少なくとも 1 部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を含む半導体装置であって、前記半導体膜に、ドーパントがドーピングされていない真性半導体により形成された、前記ゲート電極の外側に伸長した領域を備えていること、を特徴とする。係る半導体装置は、駆動時あるいは通電時における半導体膜の加熱による劣化の防止に適した構成を有している。係る半導体装置を、例えば、シフトレジスタ、レベルシフタ、バッファ回路、及びアナログスイッチに組み込まれる半導体装置として利用すれば、これらの回路の経時劣化を低減することができる。

【 0 0 1 7 】

本発明の第 8 の半導体装置は、ソース領域とドレイン領域とを含む半導体膜と、前記半導体膜上の少なくとも 1 部分に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、を含む半導体装置であって、前記半導体膜に、ドーパントがドーピングされていない真性半導体により形成された、前記ゲート電極から前記ソース領域または前記ドレイン領域の方向に伸長した領域を備えていること、を特徴とする。係る半導体装置の 1 例として、図 7 に示したような薄膜トランジスタを挙げることができる。図 7 に示した薄膜トランジスタは、効率良く半導体膜等で発生する熱を放散するのに好適な構成を有しており、例えば、シフトレジスタ、レベルシフタ、バッファ回路、及びアナログスイッチなどの回路に組み込まれる半導体装置として利用すれば、回路の経時劣化を防止することができる。

【 0 0 1 8 】

本発明の第 9 の半導体装置は、請求項 1 乃至 8 のいずれかに記載の半導体装置において、前記半導体膜は、絶縁膜上に形成されていること、を特徴とする。係る半導体装置としては、例えば、薄膜トランジスタが挙げられる。薄膜トランジスタにおいては、半導体膜の端部の上下に絶縁膜が配置されている。そのため、半導体膜の端部における高い電界強度またはキャリア密度に起因する、装置性能の経時劣化が、特に、薄膜トランジスタにおいて顕著となる。しかしながら、係

る半導体装置は、製造時の装置性能を長時間にわたって維持することができる。

【0019】

【発明の実施の形態】

以下、本発明の好ましい実施例を説明する。

【0020】

(第1の実施例)

図4には、本発明の第1の実施例に係る薄膜トランジスタの模式的な平面図、及び2つの断面図を示した。係る薄膜トランジスタにおいて、ソース高濃度ドープ領域12、ドレイン高濃度ドープ領域13、及び活性領域11からなる半導体膜は多結晶シリコンから構成されている。係る薄膜トランジスタは、図1に示した従来の典型的な薄膜トランジスタとは、基本的に同様な構成を有しているが、図4から分かるように、ゲート電極21は、ソース高濃度ドープ領域12、ドレイン高濃度ドープ領域13、及び活性領域11からなる半導体膜の端部とは、重ならないように配置されている。また、ゲート電極21と接続された副ゲート電極22は、半導体膜端部41の外側に張り出すように形成されている。

【0021】

本実施例の薄膜トランジスタに関して、デバイスシミュレーションを行い、電界強度及びキャリア密度の分布について調べた。その結果を図5に示す。なお、このデバイスシミュレーションは、ゲート電極21及び副ゲート電極22うち、半導体膜の電界に直接的な影響を及ぼすゲート電極21のみを考慮し、それ以外は、先にのべた通常の薄膜トランジスタに関するデバイスシミュレーションと同じパラメーターを用いて行った。図3に示したように、従来の薄膜トランジスタに関するデバイスシミュレーションによる解析結果では、半導体膜の先端部の電界強度及びキャリア密度は、それぞれ、 $6.6 \times 10^5 \text{V/cm}$ 及び $1.6 \times 10^{20} \text{cm}^{-3}$ であったのに対して、本実施例の薄膜トランジスタに関するデバイスシミュレーションによる解析結果では、それぞれ、 $7.2 \times 10^3 \text{V/cm}$ 及び $8.9 \times 10^{16} \text{cm}^{-3}$ となり、電界強度及びキャリア密度はともに顕著に減少した。

【0022】

このことは、本実施例の薄膜トランジスタのようにゲート電極21を半導体膜端

部41とは重ならないように配置することで、半導体端部の電界強度及びキャリア密度を低減できることを示している。

【0023】

ソース高濃度ドーピング領域12、ドレイン高濃度ドーピング領域13、及び活性領域11からなる半導体膜の外側に張り出すように形成されている副ゲート電極22は、特に、オフ電流低減に効果を発揮する。すなわち、副ゲート電極22により、微小なリーク電流が問題となるオフ状態において、周辺からの漏れ電界の半導体端部への影響が遮断される。電界が遮断されれば、半導体膜内の電位勾配がゼロに近づくので、キャリア密度が減少し、微小なリーク電流が抑制され、オフ電流が低減される。

【0024】

(第2の実施例)

図6には、本発明の第2の実施例に係る薄膜トランジスタの模式的な平面図、及び2つの断面図を示した。係る薄膜トランジスタは、ソース高濃度ドーピング領域12、ドレイン高濃度ドーピング領域13、及び活性領域11からなる半導体膜の端部に真性半導体領域14を備えている。たとえ、真性半導体領域14内に高強度の電界及び高密度のキャリアが発生しても、真性半導体領域14は電流42の経路にはないので、高強度の電界及び高密度のキャリアによる装置性能の経時劣化を抑制することができる。

【0025】

(第3の実施例)

図7及び図8には、それぞれ、本発明の第3の実施例に係る薄膜トランジスタの模式的な平面図及び電流に対して垂直な方向における断面図を示した。なお、電流に平行な断面図は、図6(b)のものとほぼ同一であるので、省略した。高濃度ドーピング領域13、及び活性領域11からなる半導体膜内及び半導体膜の端部に真性半導体領域14に設けてあるが、この構成は、半導体膜の端部における高強度の電界及び高密度のキャリアによる経時劣化を抑制し、半導体膜に電流が流れる際に発生する熱を放散するのに適している。さらに、真性半導体領域14は、所望の位置あるいは領域におけるドーピングを行わないだけで、形成することができるので、

余分なスペースを特には必要とせず、薄膜トランジスタを最密に配置することができるという利点も有する。図 7 及び図 8 に示したような構成を有する薄膜トランジスタは、液晶パネル、エレクトロルミネッセンスパネル、及びセンサーなど種々の電気製品の重要な構成要素である、例えば、トランスファークロークゲート、インバータ、クロックドインバータ、論理ゲート（NAND、NOR など）、シフトレジスタ、レベルシフタ、バッファ回路、差動増幅器、カレントミラーオペアンプ、DA コンバータ、AD コンバータ、DRAM、SRAM、算術回路加算器、マイコン、DSP、アナログスイッチ、及び CPU などの回路に組み込む半導体装置として利用すれば、これらの回路の経時劣化を低減することができる。

【 0 0 2 6 】

なお、実施例 1 乃至 3 は、多結晶シリコン薄膜トランジスタに関するものであるが、その他の半導体装置、例えば、非晶質シリコン薄膜トランジスタやその他の薄膜トランジスタに対しても、本発明の思想は効果がある。

【 0 0 2 7 】

【発明の効果】

本発明に係る半導体装置はいずれも、種々の回路に組み込むことができる。例えば、種々の電気製品、例えば、液晶パネル、エレクトロルミネッセンスパネル、及びセンサーなどの重要な構成要素である、例えば、トランスファークロークゲート、インバータ、クロックドインバータ、論理ゲート（NAND、NOR など）、シフトレジスタ、レベルシフタ、バッファ回路、差動増幅器、カレントミラーオペアンプ、DA コンバータ、AD コンバータ、DRAM、SRAM、算術回路加算器、マイコン、DSP、アナログスイッチ、及び CPU に、本発明に係る半導体装置を組み込むことにより、これらの回路の性能の経時劣化を抑えることができる。

【図面の簡単な説明】

【図 1】

従来の多結晶シリコン薄膜トランジスタの平面図、電流に平行な断面図、電流に垂直な断面図。

【図 2】

従来の多結晶シリコン薄膜トランジスタの製作工程を示す図。

【図 3】

デバイスシミュレーションによる従来の多結晶シリコン薄膜トランジスタの電界強度・キャリア密度分布図 (M. Kimura, R. Nozawa, S. Inoue and T. Shimoda, "Current Density Enhancement at Active Layer Edges in Polycrystalline Silicon Thin-Film Transistors", submitted to Jpn. J. Appl. Phys.)。

【図 4】

本発明の第 1 の実施例の多晶質シリコン薄膜トランジスタの平面図、電流に平行な断面図、電流に垂直な断面図。

【図 5】

デバイスシミュレーションによる本発明の第 1 の実施例の多結晶シリコン薄膜トランジスタの電界強度・キャリア密度分布図。

【図 6】

本発明の第 2 の実施例の多晶質シリコン薄膜トランジスタの平面図、電流に平行な断面図、電流に垂直な断面図。

【図 7】

本発明の第 3 の実施例の多晶質シリコン薄膜トランジスタの平面図。

【図 8】

本発明の第 3 の実施例の多晶質シリコン薄膜トランジスタの断面図。

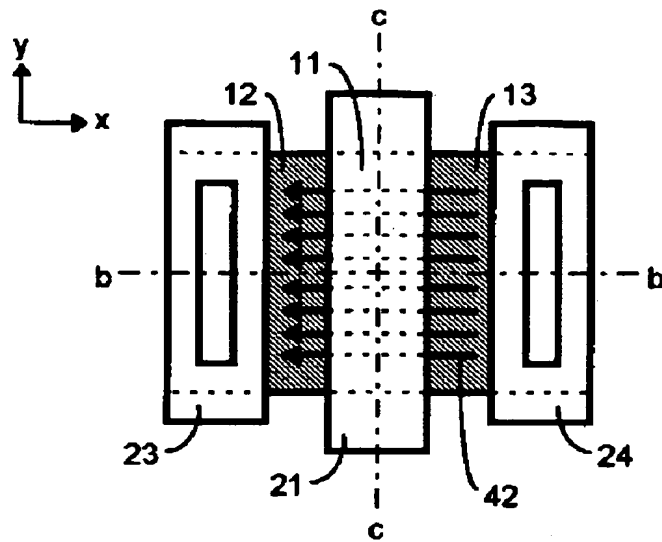
【符号の説明】

- 1 1 活性領域
- 1 2 ソース高濃度ドープ領域
- 1 3 ドレイン高濃度ドープ領域
- 1 4 真性半導体領域
- 2 1 ゲート電極
- 2 2 副ゲート電極
- 2 3 ソース電極
- 2 4 ドレイン電極
- 3 1 ゲート絶縁膜
- 3 2 層間絶縁膜

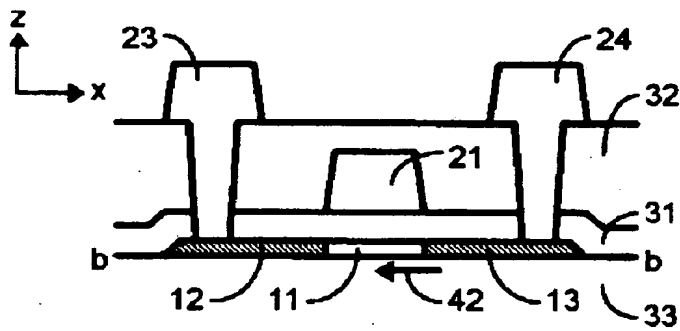
- 3 3 裏面絶縁膜
- 4 1 半導体膜端部
- 4 2 電流
- 5 1 ガラス基板
- 5 2 多結晶シリコン膜
- 5 3 ゲート絶縁膜
- 5 4 ゲート電極
- 5 5 ソース・ドレイン領域
- 5 6 層間絶縁膜
- 5 7 ソース・ドレイン電極

【書類名】 図面

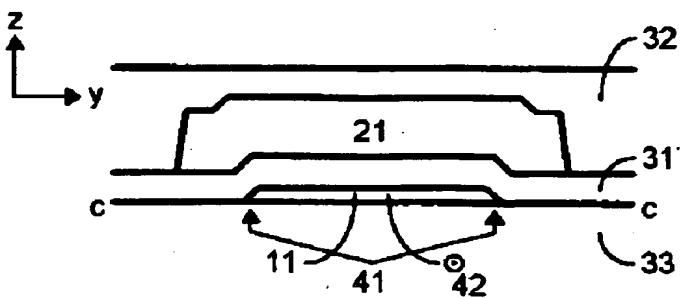
【図 1】



(a) 平面図

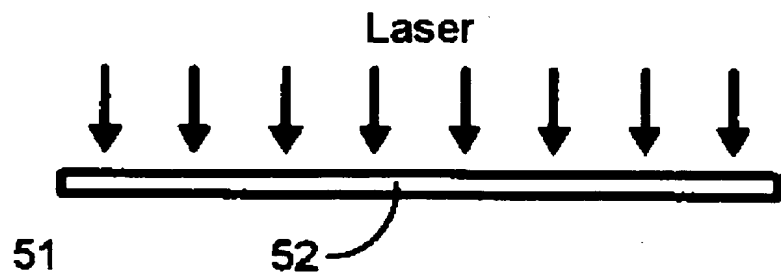


(b) 電流に平行な断面図

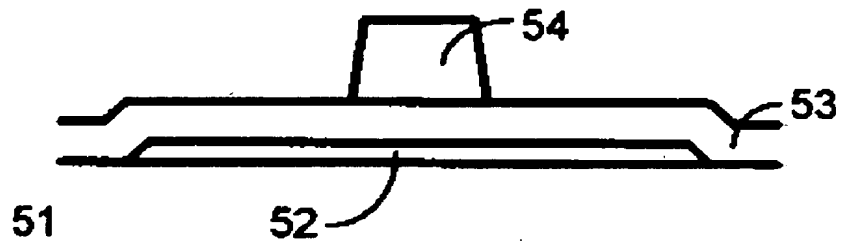


(c) 電流に垂直な断面図

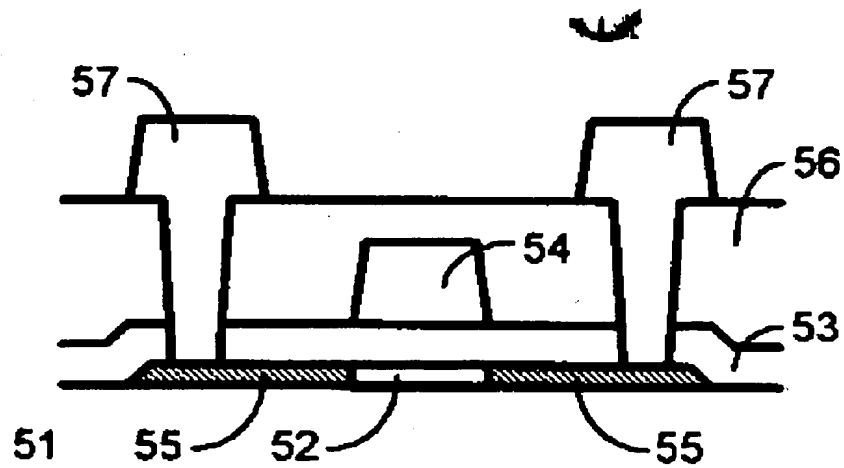
【図 2】



(a)

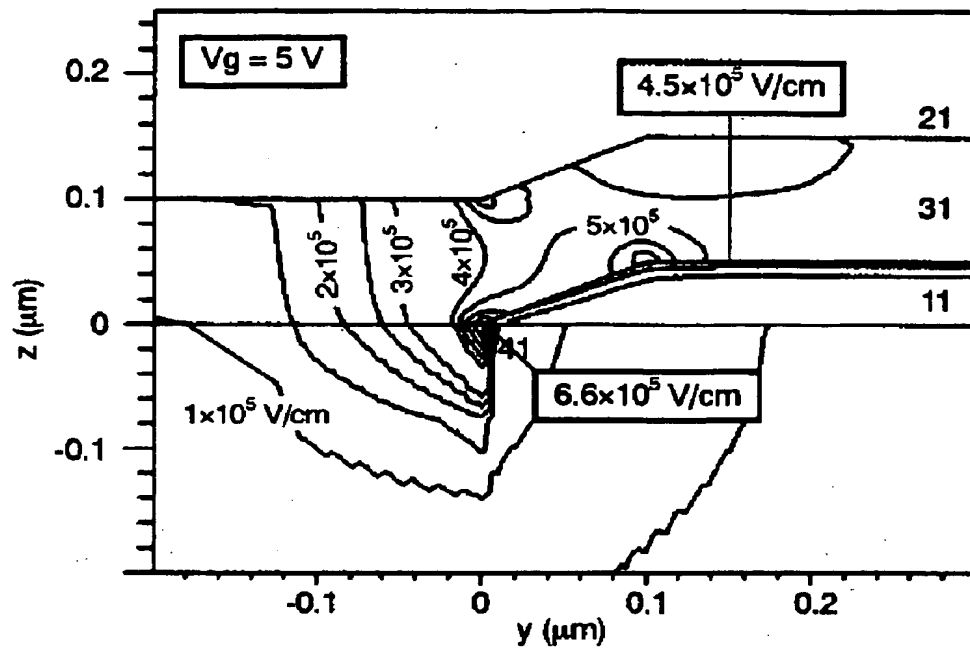


(b)

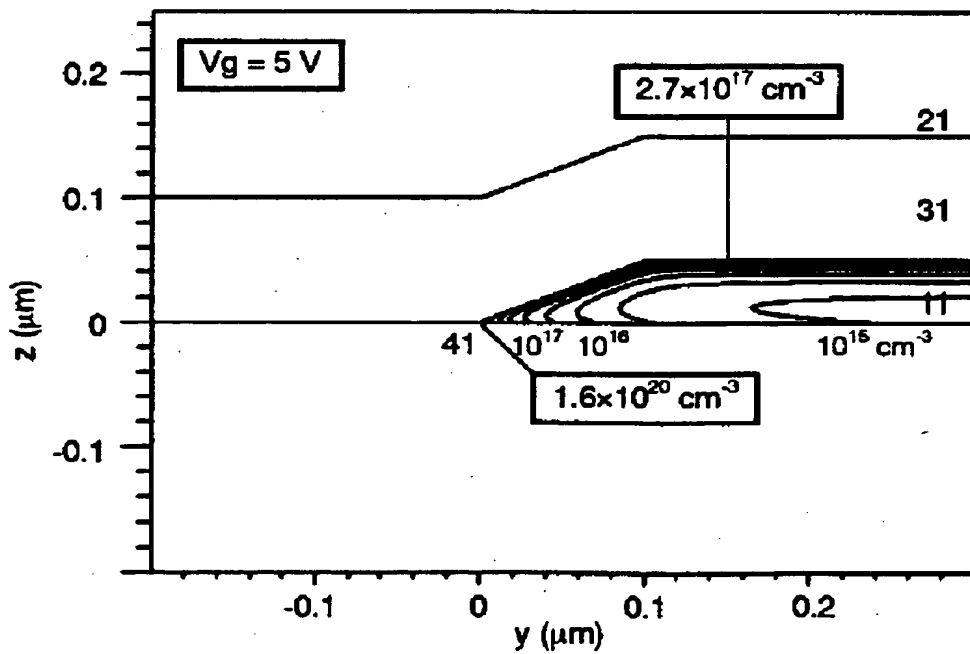


(c)

【図 3】

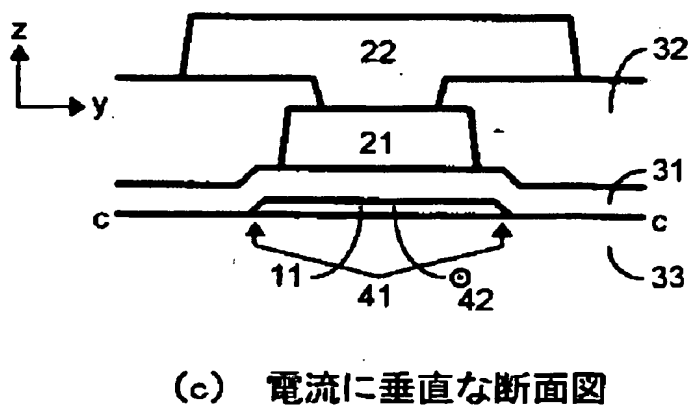
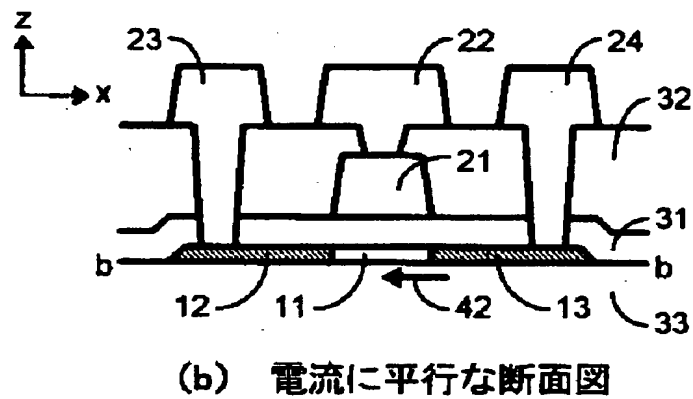
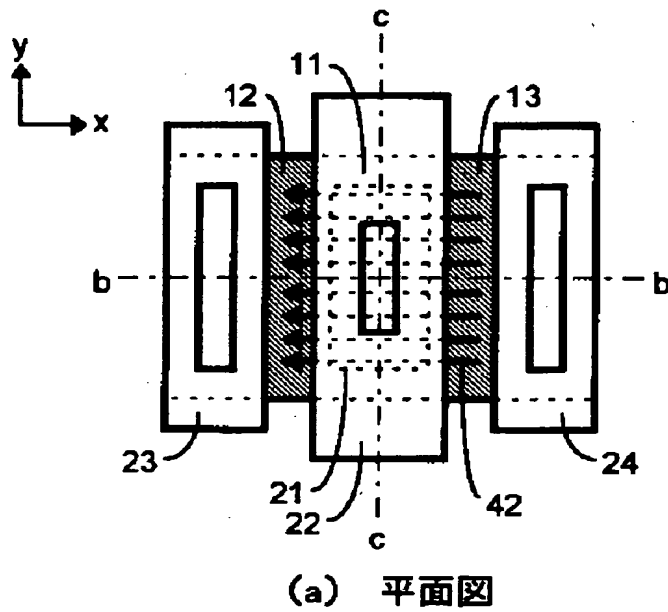


(a) 電界強度分布図

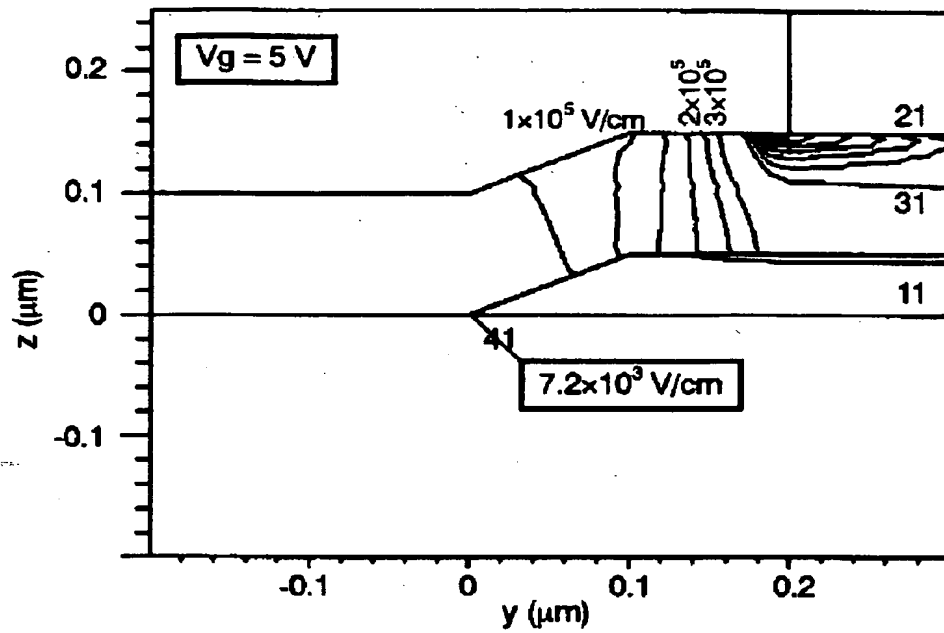


(b) キャリア密度分布図

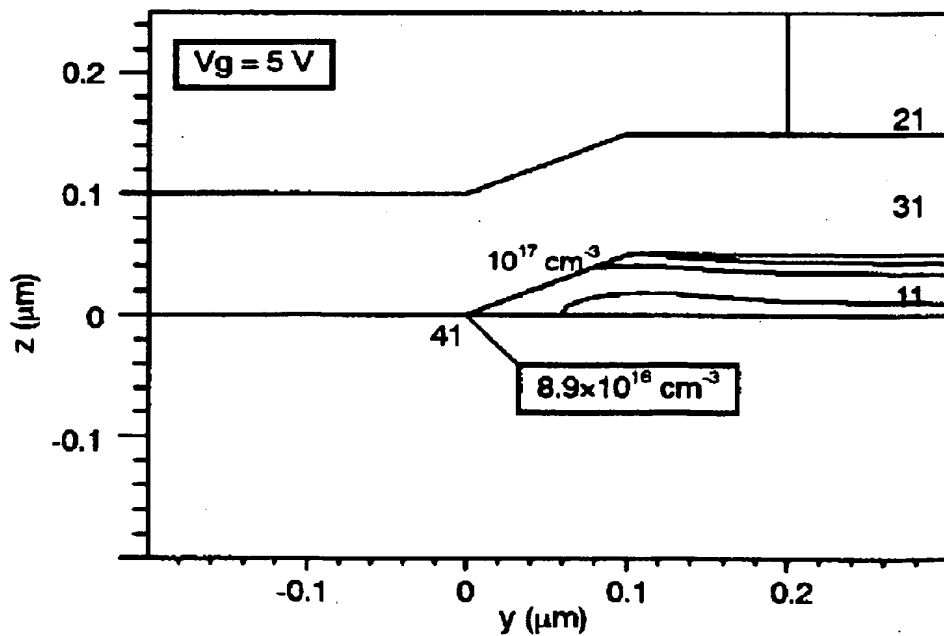
【図 4】



【図5】

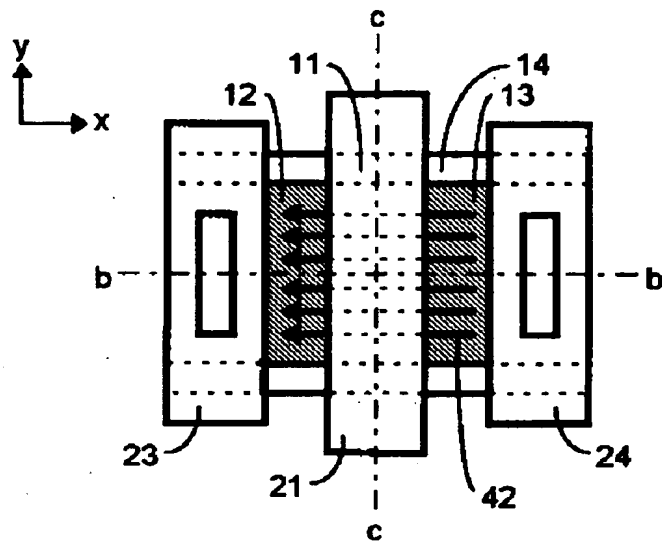


(a) 電界強度分布図

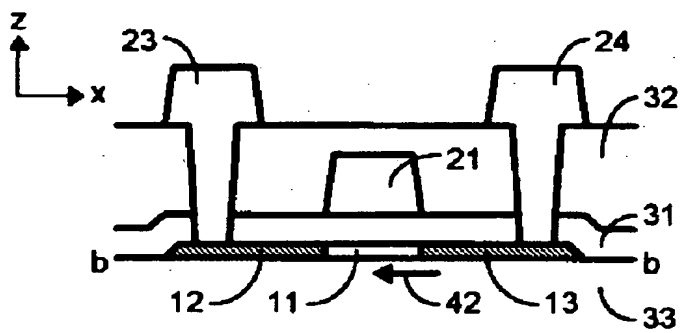


(b) キャリア密度分布図

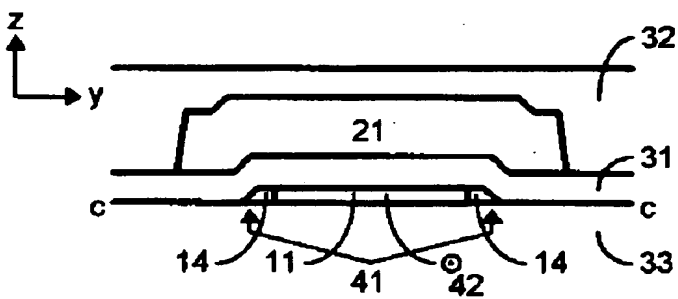
【図6】



(a) 平面図

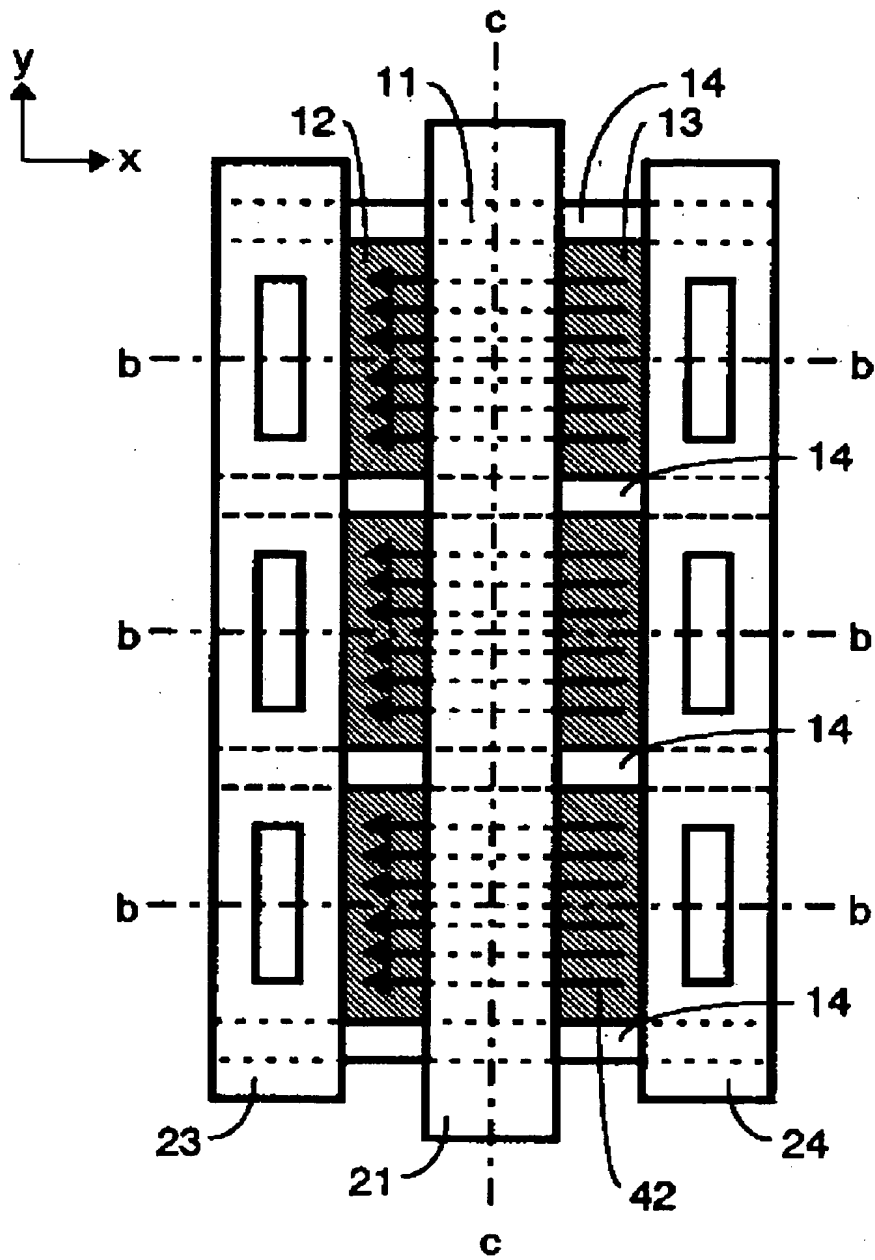


(b) 電流に平行な断面図

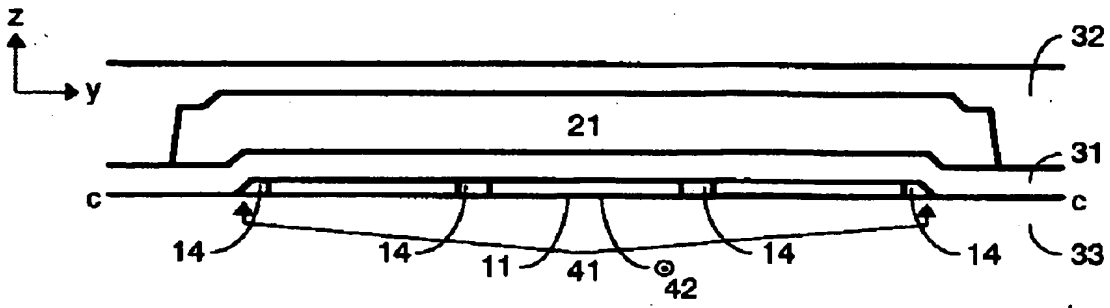


(c) 電流に垂直な断面図

【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 半導体装置において、半導体膜端部で発生する電界強度・キャリア密度増加に起因する経時劣化を抑制することを目的とする。

【解決手段】 半導体膜の幅よりもゲート電極の幅のほうを狭くする。ゲート電極に接続し、半導体膜からゲート電極のある側でゲート電極よりも遠くに位置する副ゲート電極を備え、半導体膜の幅よりも副ゲート電極の幅のほうを広くする。また、半導体膜の端部に、ドーパントがドーピングされていない真性半導体領域を備える。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社